



## PATENT ABSTRACTS OF JAPAN

(11)Publication number: 05197549

(43)Date of publication of application: 06.08.1993

(51)Int.Cl.

G06F 9/38

(21)Application number: 04009975

(1)Applicant:

FUJITSU LTD

(22)Date of filing: 23.01.1992

(72)Inventor:

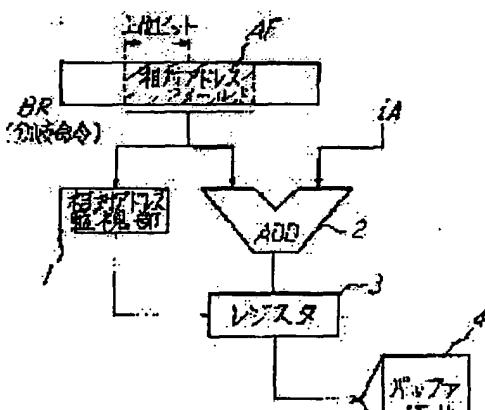
POONSHIYAI  
 CHIYONSUWANNAPAISAAN  
 NODA TAKAHITO  
 KAMISAKA YUJI  
 NONOMURA KAZUYASU  
 WATABE TORU  
 MARUYAMA TAKUMI  
 TAKENO TAKUMI  
 KATO SHINYA

## (54) BRANCH INSTRUCTION CONTROL SYSTEM

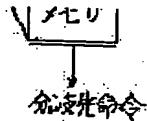
(57)Abstract:

**PURPOSE:** To improve the total processing performance by varying the execution cycle of a branch-destination address arithmetic means according to the relative address of a branch instruction.

**CONSTITUTION:** A relative address monitor part 1 is provided to monitor whether or not the high-order specific bits of the relative address field AF of the branch instruction BR is a specific pattern. When the relative address field AF consists of 16 bits, for example, the high-order 8 bits are monitored to monitor whether or not they are a specific pattern.



such as an all-'0' or all-'1' pattern. In the case of the specific pattern, an addition part 2 performs address calculation in one machine cycle by using an instruction address iA being monitored and the low-order 8 bits of the relative address field AF and sets the addition result in a latch register 3. When the high-order 8 bits are not the specific pattern, the relative address monitor part 1 outputs a set clock for 2 machine cycles to the latch register 3, so the arithmetic result of the addition part 2 is set in the latch register 3.



---

#### LEGAL STATUS

[Date of request for examination] 13.03.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2944809

[Date of registration] 25.06.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

---

Copyright (C): 1998 Japanese Patent Office

MENU

SEARCH

INDEX

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-197549

(43)公開日 平成5年(1993)8月6日

(51)Int.Cl.  
G 06 F 9/38

識別記号 庁内整理番号  
330 X 9290-5B

F I

技術表示箇所

審査請求 未請求 請求項の数3(全7頁)

(21)出願番号 特願平4-9975

(22)出願日 平成4年(1992)1月23日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 ポーンシャイ チョンスワンナバイサン

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 野田 敏人

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 神坂 希士

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 山谷 啓榮

最終頁に続く

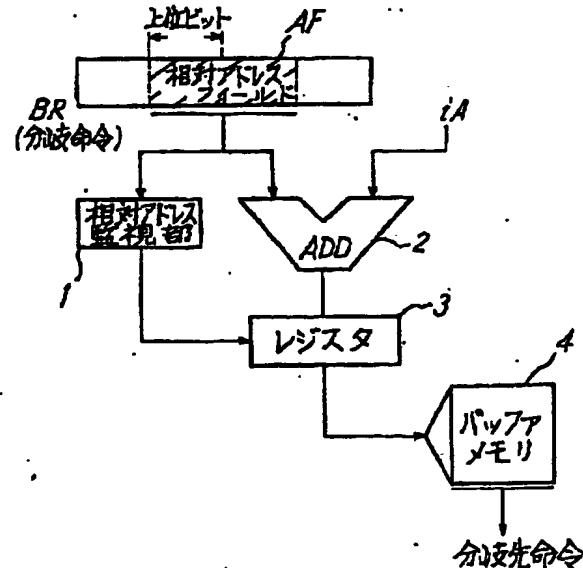
(54)【発明の名称】 分岐命令制御方式

(67)【要約】

【目的】 本発明は、無条件分岐命令及び条件付分岐命令等の分岐先アドレスの計算時の実行サイクル数を可変とすることによる分岐命令制御方式に関する。

【構成】 相対アドレスにもとづき分岐先アドレスを演算する分岐命令制御方式において、分岐命令の相対アドレスを監視する監視手段1と、分岐先アドレスを演算する実行サイクルを変化させる可変手段とを設け、分岐命令の相対アドレスの大さきを前記監視手段で監視して、その大きさに応じて分岐先アドレス演算手段における実行サイクルを変化させるように構成する。

本発明の原理説明図



## 【特許請求の範囲】

【請求項1】 相対アドレスにもとづき分岐先アドレスを演算する分岐命令制御方式において、分岐命令の相対アドレスを監視する監視手段(1)と、分岐先アドレスを演算する実行サイクルを変化させる可変手段とを設け、分岐命令の相対アドレスの大きさを前記監視手段(1)で監視して、その大きさに応じて分岐先アドレス演算手段における実行サイクルを変化させるようにしたことを特徴とする分岐命令制御方式。

【請求項2】 前記監視手段(1)は相対アドレスがある一定値を越えているかどうかを前記相対アドレスの上位部分を解読することにより判定して、実行サイクルを変化させることを特徴とする請求項1記載の分岐命令制御方式。

【請求項3】 前記可変手段を演算実行サイクルの速い演算手段と、演算実行サイクルの遅い演算手段とを設け、これを前記監視手段(1)により切換制御することにより実行サイクルを変化させるようにしたことを特徴とする請求項1記載の分岐命令制御方式。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、無条件分岐命令及び条件付分岐命令等の分岐先アドレスの計算時の実行サイクル数を可変とするようにした分岐命令制御方式に関する。

## 【0002】

【従来の技術】 データ処理装置では、通常、図4(A)に示す如く、①まず命令をメモリからフェッチ(F)して命令パッファに格納する。②次にその命令をデコード(D)してその内容に従って、分岐先アドレスの計算を行い、実行のためのデータがレジスタ・ファイルからレジスタにセットされる。③それから前記デコードの結果に従って命令を実行(E)する。④そしてこの実行の結果つまり演算結果がレジスタ・ファイルあるいはメモリに格納(W)される。

【0003】 このように1つの命令を処理するのに、前記F、D、E、Wの4サイクル必要とするが、実際に命令は、図4(B)に示す如く、パイプライン方式でオーバラップして処理されるため、見かけ上1サイクルで処理できる。

【0004】 なお図4(B)において、F<sub>1</sub>～W<sub>1</sub>が命令実行サイクルであり、各ステージは1マシンサイクルで処理される。従ってマシンサイクルは、F～Wのステージのうち一番遅いステージ手段に依存することがわかる。

【0005】 ところでこのようなデータ処理に際して、分岐命令は出現率が高く、高速な分岐判定や分岐先アドレス計算が要求されている。特に分岐判定を必要としない無条件分岐命令を含み、分岐するか否かが容易に判定

できる場合は、分岐先アドレスをできるだけ早く、少ないマシンサイクルで計算することが必要になる。

【0006】 しかも、前記の如く、通常パイプライン型データ処理装置のマシンサイクルは一番遅いサイクルによって決められる。従って分岐先アドレスの計算において、早いマシンサイクルでできることと同時に、無駄なマシンサイクルがないことが重要な課題となっている。

【0007】 ところで分岐命令の処理では、一般にデコード段階で分岐先アドレスが計算される。例えば図5に示す如く、加算部50とラッチ・レジスタ51を設け、現在実行中の命令アドレスIAに、分岐命令BR内の相対アドレスフィールドに記入される相対アドレスOAを加算することにより求められる。

【0008】 この加算部50における加算結果は一旦ラッチ・レジスタ51にセットされ、これにより制御メモリ52が読み出され、分岐先命令が出力されることになる。そしてこの相対アドレスOAの内容により計算時間が決められることになる。ビット長が長ければこの演算時間は長くなる。

【0009】 通常この処理が非常に遅いため、従来では以下の①～③の手法がある。①マシンサイクルを長くして、この処理を長い1マシンサイクル内で行うようとする。②デコード段階をすべての分岐命令に対して2マシンサイクルかけて処理を行う。③オペコードOPにより1マシンサイクルで処理するか又は2マシンサイクルで処理するのかを選択可能としている。

## 【0010】

【発明が解決しようとする課題】 ところで、前記①では、全体のマシンサイクルが遅くなるので、この加算とは関係のないステージにおいてもマシンサイクルが長くなるために、全体として処理速度が遅くなる。

【0011】 前記②では、例え分岐先アドレスが早く計算出来ても、図6に示す如く、分岐命令F<sub>1</sub>ではデコード段階がいつもD<sub>1-1</sub>とD<sub>1-2</sub>のマシンサイクルとなっているために、次の分岐先命令F'が1マシンサイクル遅れることになる。

【0012】 また前記③では、分岐相対アドレスの大きさに応じて命令種類つまりOPコードを使い分ける必要があるため、プログラム作成/コンパイラが複雑となる。従って本発明の目的は、早いマシンサイクルで、分岐命令の同一オペコードにおいて、必要な時にのみ2マシンサイクルをかけて分岐実行サイクルのアドレス計算を行うことにより、全体の処理性能を向上させる分岐命令制御方式を提供することである。

## 【0013】

【課題を解決するための手段】 前記目的を達成するため、本発明では、図1に示す如く、相対アドレス監視部1を設け、分岐命令BRの相対アドレスフィールドAFの上位の特定ビットが特定パターンか否かを監視する。相対アドレスフィールドAFが16ビットであるとき、

例えば上位8ビットを監視して、これがオール「0」あるいはオール「1」の如き特定パターンか否かを監視する。

【0014】特定パターンのとき、加算部2において、監視実行中の命令アドレス*iA*と、相対アドレスフィールドAFの下位8ビットとを1マシンサイクルでアドレス計算を行い、その加算結果をラッチ・レジスタ3にセットする。すなわち相対アドレス監視部1から1サイクルのセット・クロックをラッチ・レジスタ3に出力して、加算部2の演算出力をセットさせる。

【0015】しかし、特定パターンでなければ、相対アドレス監視部1は2マシンサイクルのセット・クロックをラッチ・レジスタ3に出力するので、これにより加算部2において2マシンサイクルで演算された結果がラッチ・レジスタ3にセットされる。いずれの場合も、このラッチ・レジスタ3にセットされた分岐実行サイクルアドレスにより次のタイミングで、パッファ・メモリ4に格納されている制御命令から前記分岐先アドレスによる分岐命令がフェッチされる。

【0016】

【作用】本発明では、相対アドレスフィールドAFに記入された相対アドレスの値がある一定値を越えるかどうかをこの相対アドレス監視部1が監視し、越える場合は2マシンサイクルかけて分岐先のアドレス計算を行う。

【0017】このようにすることにより、1マシンサイクルで計算できるものは1マシンサイクルで計算されるので、全体のマシンサイクルを増やすずに処理できる。したがって前記①よりマシンサイクルが短く、1マシンサイクルで演算可能なものは前記②よりも、1サイクル速くなり、前記③のように複雑なプログラム作成／コンバイラも必要としていない。

【0018】

【実施例】本発明の一実施例を図2及び図3に基づき説明する。図2は本発明の一実施例構成図、図3は本発明の動作説明図である。図中他と同符号部分は同一部分を示し、2-1, 2-2はいずれも加算部、5は+1を行う加算部、6, 7はそれぞれインバータ、G<sub>1</sub>～G<sub>4</sub>はゲート、OR1、OR2はオアゲートである。説明の簡略化のために相対アドレスフィールドAFにおける相対アドレスのビット数を18とし、現在実行中のアドレス*iA*を32ビットの例で説明する。

【0019】ここで加算部2-1は、現在実行中の命令アドレス*iA*の上位24ビット(00～23)と、分岐命令BRの上位8ビット(00～07)を2マシンサイクルで加算するものである。また加算部2-2は、現在実行中の命令アドレス*iA*の下位8ビット(24～31)と、分岐命令BRの下位8ビット(08～15)を1マシンサイクルで加算するものである。

【0020】なお、加算部2-2の演算結果にキャリイが生じたとき、ゲートG<sub>1</sub>をオンにして現在実行中の命

令アドレス*iA*の上位24ビット(00～23)を加算部5により+1したものが出力する。前記加算部2-2のキャリイは加算部2-1にも伝達され、加算される。キャリイが生じないときは、インバータ6の出力によりG<sub>2</sub>がオンとなり、現在実行中の命令アドレス*iA*の上位24ビット(00～23)がそのまま出力される。

【0021】次に図2の動作について説明する。相対アドレス監視部1は、加算部2-1, 2-2におけるアドレス計算中に、相対アドレスフィールドAFにおける相対アドレスの上位8ビットがオール「0」かオール「1」の如き特定パターンであるか否かを判断する。

【0022】もし、オール「0」又はオール「1」であれば相対アドレス監視部1は「1」を出力し、ゲートG<sub>3</sub>をオンにする。これによりオアゲートOR1の出力がオアゲートOR2を経由してラッチ・レジスタ3の上位24ビットフィールドにセットされる。このときラッチ・レジスタ3の下位フィールドには加算部2-2の出力8ビットがセットされる。

【0023】このとき、前記オアゲートOR1の出力は、加算部2-2における加算結果のキャリイの有無に応じて現在実行中の命令アドレス*iA*の上位24ビット(00～23)そのものか、これにキャリイを加算されたものか出力されることになる。そして、このラッチ・レジスタ3にセットされたアドレスによりパッファ・メモリ4がアクセスされ、分岐先命令が出力されることになる。

【0024】しかし、前記相対アドレスの上位8ビットが特定パターンでなければ、相対アドレス監視部1は「0」を出力する。これによりインバータ7が「1」を出力するので、ゲートG<sub>4</sub>がオンになり、オアゲートOR2から加算部2-1の加算結果が出力されてラッチ・レジスタ3の上位24ビットフィールドにセットされる。

【0025】このとき、ラッチ・レジスタ3の下位フィールドには加算部2-2の出力8ビットがセットされる。なお、ラッチ・レジスタ3のセットクロックは、この監視結果に合うようなタイミングで出力されることになる。そしてこのラッチ・レジスタ3にセットされたアドレスによりパッファ・メモリ4がアクセスされ、分岐先命令が出力される。

【0026】したがって、本発明によれば、図3に示す如く、分岐命令BR<sub>0</sub>の相対アドレスの上位ビットが特定パターンであれば、加算部におけるアドレス計算は、D<sub>0</sub>で示す如く、1マシンサイクルで実行されて出力されるので、次のタイミングによりその分岐先命令はフェッチされる。

【0027】しかし、特性パターンでなければ加算部におけるアドレス計算は、図3に示す分岐命令BR<sub>2</sub>のD<sub>z-1</sub>, D<sub>z-2</sub>に示す如く、2マシンサイクルで実行されて、加算部2-1より出力されることになる。従って本

発明によれば、分歧命令により、1マシンサイクルあるいは2マシンサイクルでデコード（加算も含む）されるので、常に2マシンサイクル必要とした場合に比較して高速化することができる。

【0028】なお前記説明では、実行アドレスを32ビットとし、相対アドレスを16ビットとし、特定パターンをオール「0」またはオール「1」の例について説明したが、本発明は勿論これらに限定されるものではない。

【0029】

【発明の効果】本発明によれば、従来のように、全体のマシンサイクルを長くする必要はなく、また1マシンサイクルで計算可能なものについては従来より1マシンサイクル早く演算することができる。しかも前記発明が解決しようとする課題③に示す如く、複雑なプログラム作成／コンパイラも必要とせず、簡単なハード構成により

1マシンサイクルまたは2マシンサイクルの選択を行うことができる。

【図面の簡単な説明】

【図1】本発明の原理説明図である。

【図2】本発明の一実施例構成図である。

【図3】本発明の動作説明図である。

【図4】データ処理装置におけるパイプライン動作説明図である。

【図5】従来例構成図である。

【図6】従来の動作説明図である。

【符号の説明】

1 相対アドレス監視部

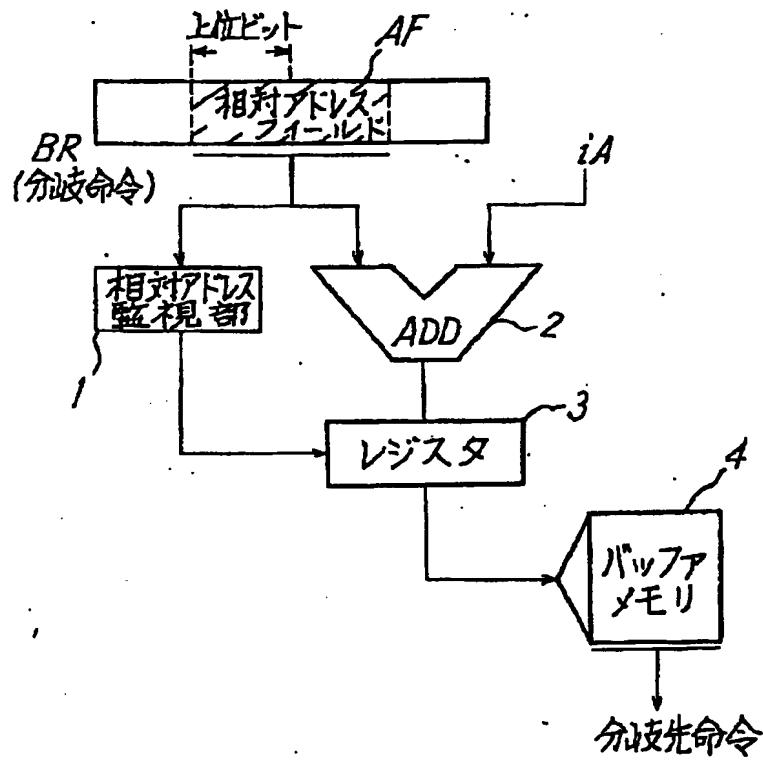
2 加算部

3 ラッチ・レジスタ

4 バッファ・メモリ

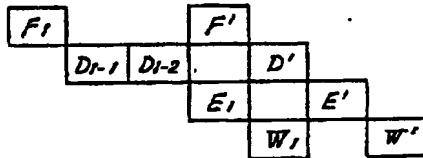
【図1】

### 本発明の原理説明図



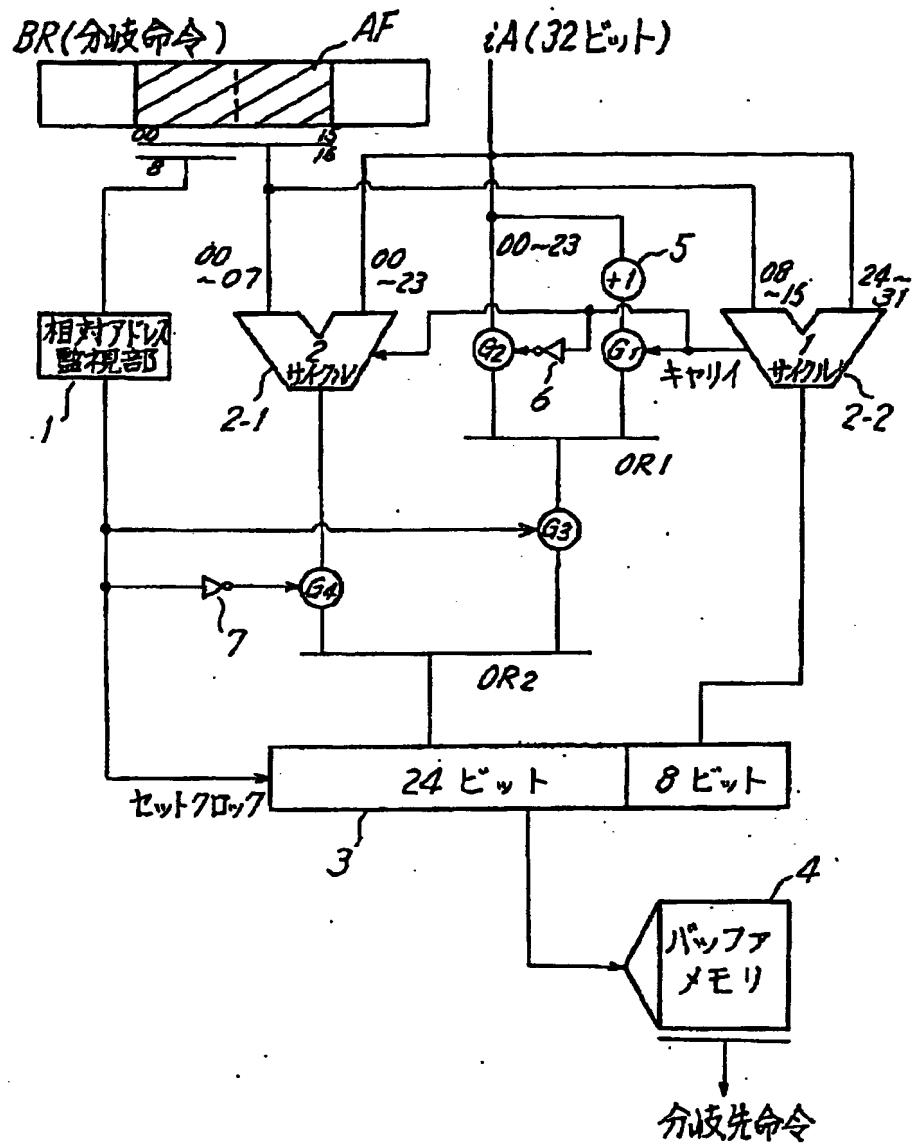
【図6】

### 従来の動作説明図



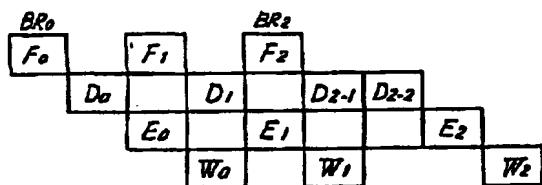
【図2】

## 本発明の一実施例構成図



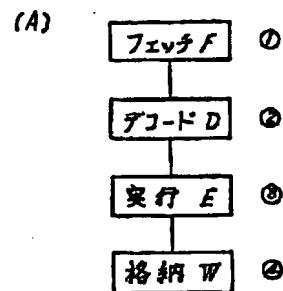
【図3】

本発明の動作説明図

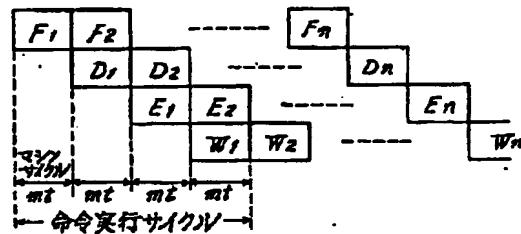


【図4】

パイプライン動作説明図

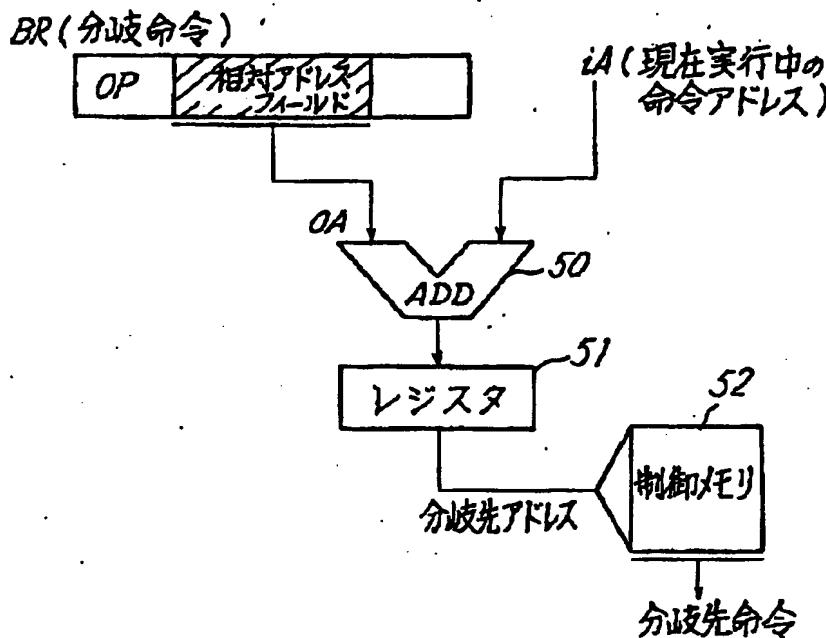


(B)



【図5】

## 従来例構成図



## フロントページの焼き

(72)発明者 野々村 一泰  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(72)発明者 渡部 徹  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(72)発明者 丸山 拓巳  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(72)発明者 竹野 巧  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(72)発明者 加藤 慎哉  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内